



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03082151 A**(43) Date of publication of application: **08.04.91**

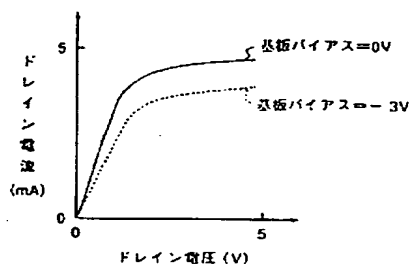
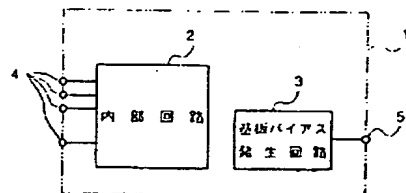
(51) Int. Cl. **H01L 27/088**
H01L 27/04

(21) Application number: **01219427**(71) Applicant: **NEC CORP**(22) Date of filing: **25.08.89**(72) Inventor: **HORIUCHI TADAHICO****(54) MOS TYPE SEMICONDUCTOR INTEGRATED CIRCUIT****(57) Abstract:**

PURPOSE: To restrain the power consumption of a semiconductor integrated circuit of this design when it is on standby and to enhance it in operating speed when it is in an active state so as to enable it to be operable at a high speed and low in power consumption as a whole by a method wherein a reverse bias voltage of a board or a well is changed according to that an inner circuit is in a standby state or in an active state.

CONSTITUTION: When an inner circuit 2 is in an active state or a chip selected terminal 5 is in an enabling state, a bias voltage of 0V is given to a substrate by a substrate bias voltage generating circuit 3. Therefore, a drain current is made to increase and the N-channel transistor of the inner circuit 2 can be made high in operating speed. When the inner circuit 2 is in a standby state or the chip select terminal 5 is in a disabled state, a substrate bias voltage of -3V is given to the substrate by the substrate bias voltage generating circuit 3. Therefore, the sub-threshold current of the inner circuit 2 can be made 10^{-12} A or below. Therefore, a semiconductor integrated circuit of this design can be made small enough in power consumption.

COPYRIGHT: (C)1991,JPO&Japio



THIS PAGE BLANK (USPTO)

Concise explanation of the relevance with respect to
Japanese Laid-Open Patent Application No. 82151/1991

A. Relevance to the Above-identified Document

The following is an English translation of passages related to the present invention.

B. Translation of the Relevant Passages of the Document

[MEANS TO SOLVE THE PROBLEM]

A MOS-type semiconductor IC of the present invention is composed of a MOS transistor characterized by comprising,

an internal circuit having two states: an active state during which data are inputted or outputted; and a stand-by state during which an internal state alone is withheld, and

a substrate bias generating circuit for applying a source-substrate reverse bias voltage to the MOS transistor forming the internal circuit, the source-substrate reverse bias voltage being larger in the stand-by state than in the active state.

In case that the MOS transistor is formed in the P- or N-type semiconductor well, a well bias generating circuit for applying a source-well reverse bias voltage

is provided instead of the substrate bias generating circuit for applying the source-substrate voltage reverse voltage.

[FUNCTION]

According to the present invention, when the internal circuit is in the stand-by state, the source-substrate reverse bias voltage or source-well reverse bias voltage, which is larger in the stand-by state than in the active state, is applied. Hence, when the internal circuit is in the stand-by state, the threshold of the transistor is increased and the driving current thereof is decreased, because a large reverse bias voltage is applied to the substrate or well. On the other hand, in case that the internal circuit is in the active state, the threshold of the transistor is decreased and the driving current thereof is increased, because a small reverse bias voltage is applied to the substrate or well. Consequently, the operating rate of the transistor is improved.

As has been discussed, according to the present invention, power consumption is suppressed in the stand-by state and the operating rate is improved in the active state by varying the reverse bias voltage applied to the substrate or well depending on whether the internal

circuit is in the stand-by state or active state. Consequently, the operating rate can be increased while at the same time the power consumption is reduced.

THIS PAGE BLANK (uspto)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-82151

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月8日

H 01 L 27/088
27/04

G

9056-5F
7735-5F

H 01 L 27/08

1 0 2 J

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 MOS型半導体集積回路

⑮ 特 願 平1-219427

⑯ 出 願 平1(1989)8月25日

⑰ 発 明 者 堀 内 忠 彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 藤 巻 正 憲

明 細 書

1. 発明の名称

MOS型半導体集積回路

2. 特許請求の範囲

(1) MOSトランジスタにて構成され、データが入出力される活性状態と内部状態のみが保持される待機状態の少なくとも2状態を有する内部回路と、この内部回路を構成する前記MOSトランジスタに対し前記待機状態で前記活性状態よりも大きなソース・基板間逆バイアス電圧を印加する基板バイアス発生回路とを具備したことを特徴とするMOS型半導体集積回路。

(2) MOSトランジスタにて構成され、データが入出力される活性状態と内部状態のみが保持される待機状態の少なくとも2状態を有する内部回路と、この内部回路を構成する前記MOSトランジスタに対し前記待機状態で前記活性状態よりも大きなソース・ウェル間逆バイアス電圧を印加するウェルバイアス発生回路とを具備したことを特徴とするMOS型半導体集積回路。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、MOS型半導体集積回路に関し、特に高速で且つ低消費電力のMOS型半導体集積回路に関する。

[従来技術]

MOS型半導体集積回路では、そのしきい値電圧の設定値を変化させると、次のような回路動作状態の変化がある。即ち、MOSトランジスタのしきい値が大きい場合には、MOSトランジスタの駆動電流が減少し、回路の動作速度が低下する。これは、飽和領域のドレイン電流がゲート電圧としきい値電圧の差の2乗にほぼ比例するというMOSトランジスタの特性によるものである。一方、MOSトランジスタのしきい値が小さい場合には、回路の動作速度は向上するものの、ゲート・ソース間電圧が0Vのときに流れるサブスレッショルド電流が増加するため、インバート回路及びNAND回路等を構成するMOSトランジスタがオフであっても、電源-接地電位間に流れる電流が増

加し、集積回路全体の消費電力が増加する。

このため、従来のMOS半導体集積回路では、高速性と低消費電力性の両者を考慮してしきい値電圧が設定されている。

〔発明が解決しようとする課題〕

しかしながら、上述した従来のMOS型半導体集積回路では、しきい値を大きくすると回路の動作速度が低下し、しきい値を小さくすると回路の消費電力が増すため、高速性と低消費電力性という半導体集積回路の2つの目標性能を程々に満足させる程度のしきい値電圧にしか設定することができず、両性能を共に満足させることが難しいという問題点があった。

本発明はかかる問題点に鑑みてなされたものであって、高速性に優れ、しかも消費電力が小さいMOS型半導体集積回路を提供することを目的とする。

〔課題を解決するための手段〕

本発明に係るMOS型半導体集積回路は、MOSトランジスタにて構成され、データが入出力さ

れる活性状態と内部状態のみが保持される待機状態の少なくとも2状態を有する内部回路と、この内部回路を構成する前記MOSトランジスタに対し前記待機状態で前記活性状態よりも大きなソース・基板間逆バイアス電圧を印加する基板バイアス発生回路とを具備したことを特徴とする。

また、MOSトランジスタがP型又はN型半導体ウェル中に形成されている場合には、上記ソース・基板間逆バイアス電圧を印加する基板バイアス発生回路の代わりにソース・ウェル間逆バイアス電圧を印加するウェルバイアス発生回路が設けられる。

〔作用〕

本発明によれば、内部回路が待機状態のときには、活性状態のときよりも大きなソース・基板間逆バイアス電圧又はソース・ウェル間逆バイアス電圧が印加される。このため、内部回路が待機状態のときには、基板又はウェルに印加される逆バイアス電圧が大きいので、トランジスタのしきい値が大きくなり、トランジスタの駆動電流が減少

する。一方、内部回路が活性状態のときには、基板又はウェルに印加される逆バイアス電圧が小さくなるので、トランジスタのしきい値が低下し、トランジスタの駆動電流が増大する。このため、トランジスタの動作速度が向上する。

このように、本発明によれば、内部回路が待機状態であるか活性状態であるかによって、基板又はウェルの逆バイアス電圧を変化させることにより、待機状態では消費電力を抑制し、活性状態では動作速度を向上させるようにしているので、全体として高速性及び低消費電力性を高めることができる。

〔実施例〕

以下、添付の図面を参照しながら本発明の実施例について説明する。

第1図は本発明の第1の実施例に係るMOS型半導体集積回路のブロック図である。

MOS型半導体集積回路1の内部には、内部回路2と基板バイアス発生回路3とが設けられている。内部回路2は、例えばCMOSインバータ回

路からなる入出力回路等から構成されており、集積回路1の外部に引き出されたデータI/O端子4に接続されたものとなっている。基板バイアス発生回路3は、内部回路2の内部状態に応じて異なる基板バイアス電圧を発生させるもので、チャプセレクト端子5によって、その発生バイアス電圧が制御されるものとなっている。即ち、この基板バイアス発生回路3は、例えば内部回路2を構成するNチャネルMOSトランジスタのソース電位が0Vであるとする、このトランジスタが形成されたP型半導体基板に、活性状態では0Vの基板バイアスが、また、待機状態では-3Vの基板バイアスが印加されるように、0V及び-3Vの基板バイアスを発生する。

次に、このように構成されたMOS型半導体集積回路の動作について説明する。

第2図は、NチャネルMOSトランジスタの基板バイアスとして0Vと-3Vを夫々印加した場合のドレイン電圧に対するドレイン電流を、また、第3図は同じくゲート電圧に対するドレイン電流

を夫々示した図である。基板バイアスが0Vのときには、トランジスタのしきい値電圧が、例えば0Vから0.5Vと低いので、トランジスタの駆動電流が大きくなる。これに対し、基板バイアスが-3Vのときには、トランジスタのしきい値電圧が、例えば0.5Vから1.0Vと上昇するので、トランジスタの駆動電流が小さくなる。

本実施例においては、内部回路2が活性状態のとき、つまりチップセレクト端子5がイネーブル状態になったとき、基板バイアス発生回路3から0Vの基板バイアスが出力されるので、ドレイン電流が増して内部回路2のNチャネルMOSトランジスタの動作を高速にすることができる。この場合、第3図に示すように、ゲート電圧が0Vでも、 10^{-10} A程度のサブスレッショルド電流が流れてしまう。しかしながら、このとき内部回路2は活性状態であり、充放電電流が大きいので、サブスレッショルド電流による消費電流の増大の影響は非常に小さい。

また、内部回路2が待機状態のとき、つまりチ

ップセレクト端子5がディスエーブル状態になったとき、基板バイアス発生回路3から-3Vの基板バイアスが出力されるので、内部回路2のサブスレッショルド電流を 10^{-12} A以下にすることができる。このため、待機状態での消費電力を十分に小さくすることができる。この場合、トランジスタの動作速度は低下するが、待機状態であるため、内部回路は動作しないので、なんら問題はない。

このように、本実施例の回路によれば、活性状態時のしきい値電圧を低くして高速の回路動作を実現すると共に、待機状態時のサブスレッショルド電流の低減により、従来に比べ、3桁程度待機状態での消費電力を低減することができる。

なお、上記基板バイアス発生回路3は、特に待機状態で絶対値的に大きな基板バイアス値を発生するので、その際の消費電力が問題となるが、待機状態では内部回路2が動作しないので、基板バイアス発生回路3の負荷は極めて小さい。このため、基板バイアス発生回路3を動作させることに

よる消費電力の増大は殆ど無視することができる。

ところで、MOS型半導体集積回路は、年々その素子寸法が縮小され、より高集積化されている。そのため、ゲート酸化膜の膜厚が10nm以下のものも作られるようになってきた。この場合、ゲート酸化膜の耐圧も低下するので、信頼性確保のために電源電圧を従来の5Vから3V程度に低下させる必要がある。ところが、前述したように、MOSトランジスタの飽和領域のドレイン電流は、ゲート電圧としきい値電圧の差の2乗にほぼ比例する。よって、しきい値電圧を一定にすると、電源電圧がしきい値電圧に近付いた場合、ドレイン電流は急激に小さくなり、回路速度が極端に低下する。

この点、第1図に示したMOS型半導体集積回路によれば、活性状態でしきい値電圧を小さくすることができるので、従来に比べ、より低い電源電圧まで急激なドレイン電流の減少が起こらず、極端な回路速度の低下を防ぐことができる。

第4図は本発明の第2の実施例に係るMOS型

半導体集積回路の構成を示すブロック図である。

MOS型半導体集積回路11の内部には、第1の内部回路12と、第2の内部回路13と、基板バイアス発生回路14とが設けられている。第1の内部回路12と第2の内部回路13には、夫々データI/O端子15、16が接続されている。また、第1の内部回路12と第2の内部回路13とは、その基板又はウェルが互いに分離されており、それらの間はデータの送受信が行えるように接続されている。基板バイアス発生回路14は、活性状態・待機状態選択端子17に入力される信号に応じて2種類の基板バイアス電圧を発生させる。

この回路では、第1の内部回路12はチップ内で特に高速動作を要求され、第2の内部回路13は比較的低速の回路動作でもよいとすると、基板バイアス発生回路14は、第1の内部回路12に対してだけ、その待機時に絶対値的に大きな基板バイアス電圧を発生させる。

この回路によれば、内部回路全体に対して基板

バイアスを切り替える場合に比べ、MOSトランジスタのサブスレッショルド電流を小さくすることができるので、活性状態での消費電力を、より低減することができる。

なお、上記の各実施例では、基板バイアス発生回路を使用した。制御すべきN型又はP型MOSトランジスタがP型又はN型ウェルに形成されている場合には、このP型又はN型ウェルに対して逆バイアス電圧を発生させる回路が使用される。そして、この場合にも本発明の効果を奏することは言うまでもない。

〔発明の効果〕

以上述べたように、本発明は内部回路が活性状態である場合と、待機状態である場合とで、その基板又はウェルバイアスを適応的に変化させるようにしたので、活性状態では高速の回路動作を実現すると共に、待機状態では消費電力の低減を図ることができ、全体として高速で、且つ低消費電力のMOS型半導体集積回路を提供することができる。

4. 図面の簡単な説明

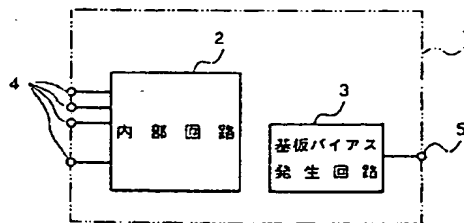
第1図は本発明の第1の実施例に係るMOS型半導体集積回路のブロック図、第2図はMOSトランジスタのドレイン電流の特性図、第3図はMOSトランジスタのサブスレッショルド電流の特性図、第4図は本発明の第2の実施例に係るMOS型半導体集積回路のブロック図である。

1, 11; MOS型半導体集積回路、2; 内部回路、3, 14; 基板バイアス発生回路、4, 15, 16; データI/O端子、5; チップセレクト端子、12; 第1の内部回路、13; 第2の内部回路、17; 活性状態・待機状態選択端子

出願人 日本電気株式会社

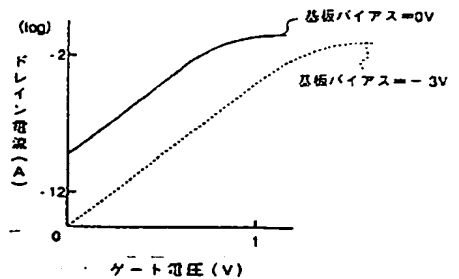
代理人 弁理士 藤巻正彦

1; MOS型半導体集積回路
4; データI/O端子
5; チップセレクト端子

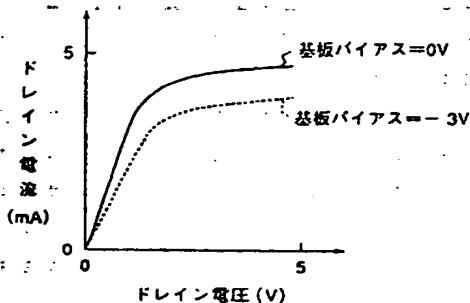


第 1 図

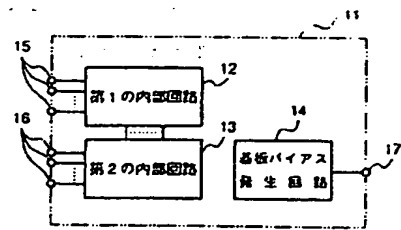
11; MOS型半導体集積回路
15, 16; データI/O端子
17; 活性状態・待機状態選択端子



第 3 図



第 2 図



第 4 図